

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-214033

(43)Date of publication of application : 20.08.1996

(51)Int.Cl.

H04L 25/49

G11B 7/00

G11B 20/14

H03D 3/00

(21)Application number : 07-015617

(71)Applicant : RICOH CO LTD

(22)Date of filing : 02.02.1995

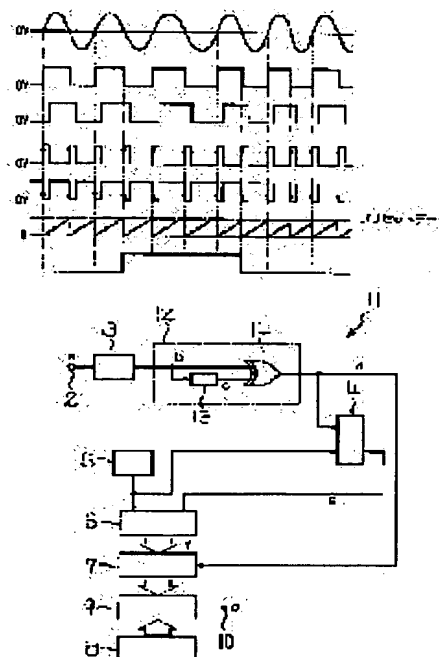
(72)Inventor : FUJIWARA YASUhide

## (54) DATA PROCESSING UNIT

## (57)Abstract:

**PURPOSE:** To improve the accuracy of synchronization of a wobble signal and a sub code by counting number of reference clock signals according to an edge of a pulse signal in response to a required wobble signal and comparing the count with a set count so as to generate FM demodulation data.

**CONSTITUTION:** An ATIP(Absolute Time In Pregroove) wobble signal is wave- shaped and converted into a pulse signal, and an edge of the signal is detected by edge output means 12, 4, which provide an output of an edge pulse. Then a clock counter 6 counts number of reference clocks from a clock generating means 5 based on the edge pulse. A comparator circuit/FM demodulation circuit 9 generates and outputs a sub code FM demodulation signal depending on the coincidence between the result of count and preset data in a preset circuit 8. Through the configuration of FM demodulation of an ATIP wobble signal on a point (c) for each half period, delay in FM demodulation is reduced up to a half period of an ATM wobble signal and the accuracy of synchronization between the ATIP wobble signal and the sub code is enhanced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-214033

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 25/49		M 9199-5K		
G 1 1 B 7/00		R 9464-5D		
20/14	3 4 1	B 9463-5D		
H 0 3 D 3/00		A		

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平7-15617

(22) 出願日 平成7年(1995)2月2日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 藤原 康秀

東京都大田区中馬込1丁目3番6号 株式会社リコー内

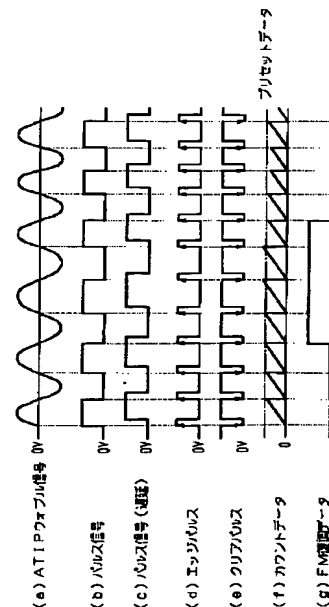
(74) 代理人 弁理士 柏木 明 (外1名)

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【目的】 ハイブリッドのCD-Rの形成に各々利用するATIPウォブル信号とサブコードとの同期の精度を改善する。

【構成】 ATIPウォブル信号(a)をパルス信号(b)に変換し、この立ち上がり立ち下がりに従ってエッジパルス(d, e)を出力し、このエッジパルスに従って基準クロックをカウントし、このカウント値をプリセットデータと比較し(f)、この比較結果に対応してFM復調データ(g)を生成することで、ATIPウォブル信号のFM復調を半周期毎として遅滞を短縮する。



## 【特許請求の範囲】

【請求項1】 ATIP(Absolute Time In Pregroove)ウォブル信号をパルス信号に変換する波形整形手段と、パルス信号の立ち上がりとしち下がりとしに従ってエッジパルスを出力するエッジ出力手段と、基準クロックを出力するクロック出力手段と、基準クロックをエッジパルスに従ってカウントするクロックカウント手段と、カウント値を予め設定されたプリセットデータと比較するデータ比較手段と、この比較結果に対応してFM(Frequency Modulation)復調データを生成するデータ復調手段とを有することを特徴とするデータ処理装置。

【請求項2】 ATIPウォブル信号をパルス信号に変換する波形整形手段と、パルス信号の立ち上がりに従って第一のエッジパルスを出力する第一のエッジ出力手段と、パルス信号の立ち下がりに従って第二のエッジパルスを出力する第二のエッジ出力手段と、基準クロックを出力するクロック出力手段と、基準クロックを第一のエッジパルスに従ってカウントする第一のクロックカウント手段と、基準クロックを第二のエッジパルスに従ってカウントする第二のクロックカウント手段と、第一のカウント値を予め設定されたプリセットデータと比較する第一のデータ比較手段と、第二のカウント値を予め設定されたプリセットデータと比較する第二のデータ比較手段と、第一の比較結果に対応して第一のFM復調データを生成する第一のデータ復調手段と、第二の比較結果に対応して第二のFM復調データを生成する第二のデータ復調手段と、第一のFM復調データと第二のFM復調データとを比較して位相が先行した一方を選択するデータ選択手段とを有することを特徴とするデータ処理装置。

【請求項3】 シリアルに入力されるEFM(Eight to Fourteen Modulation)信号をパラレルなEFMデータに変換するEFM変換手段と、このEFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段と、このEFM同期から3チャンネルビット後に前記EFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段と、ATIPウォブル信号をFM復調データに変換するATIP復調手段と、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段と、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段と、このATIP同期信号とサブコード同期信号との同期ズレを検出する同期ズレ検出手段とを有することを特徴とするデータ処理装置。

【請求項4】 EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段と、このサブコード同期信号を遅延させるサブコード遅延手段と、ATIPウォブル信号に基づいてATIP同期信号を出力する

ATIP同期出力手段と、このATIP同期信号と遅延されたサブコード同期信号との同期ズレを検出する同期ズレ検出手段とを有することを特徴とするデータ処理装置。

【請求項5】 EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段と、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段と、このATIP同期信号を遅延させるATIP遅延手段と、サブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段とを有することを特徴とするデータ処理装置。

【請求項6】 EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段と、このサブコード同期信号を遅延させるサブコード遅延手段と、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段と、このATIP同期信号を遅延させるATIP遅延手段と、遅延されたサブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段とを有することを特徴とするデータ処理装置。

【請求項7】 サブコード同期出力手段が、シリアルに入力されるEFM信号をパラレルなEFMデータに変換するEFM変換手段と、このEFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段と、このEFM同期から3チャンネルビット後に前記EFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段とを有することを特徴とする請求項4又は6記載のデータ処理装置。

【請求項8】 ATIP同期出力手段が、ATIPウォブル信号をFM復調データに変換するATIP復調手段と、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段と、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段とを有することを特徴とする請求項5又は6記載のデータ処理装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ATIPウォブル信号とサブコードとの同期に利用されるデータ処理装置に関する。

【0002】

【従来の技術】現在、大容量のデータ記録媒体としてCD(Compact Disk)が利用されている。このようなCDには、各種データが予め固定的に記録された読出専用のCD-ROM(Read Only Memory)や、各種データを自在に読み書きできるCD-R(Compact Disk-Recorderable)などがある。また、ハイブリッドCD-Rと称されるも

のでは、大部分にはデータ読み書きが自在なトラックが形成され、このトラックに連続する一部のトラックには各種データが予め固定的に記録されている。

【0003】このようなハイブリッドCD-Rでは、データ読み書きが自在なトラックの時間情報であるATIPウォブル信号と、記録された各種データの時間情報であるサブコードとが同期している必要がある。換言すると、ハイブリッドCD-Rを製作する場合には、別個に入力されるATIPウォブル信号と記録データのサブコードとをデータ処理装置により同期させる必要がある。

【0004】このようなATIPウォブル信号とサブコードとの同期に利用されるデータ処理装置の一従来例として、ここでは特開平4-367140号公報に開示されたFM復調回路を図10及び図11に基づいて以下に説明する。このFM復調回路1は、ATIPウォブル信号の終了位置とサブコードの開始位置とを同期させるため、ATIPウォブル信号をFM復調して出力することを目的としている。

【0005】まず、図10に示すように、信号入力端子2に波形整形回路3が接続され、この波形整形回路3にクリア出力回路4が接続されている。このクリア出力回路4とクロック出力回路5とがクロックカウンタ6に接続されており、このクロックカウンタ6にラッチ回路7が接続されている。このラッチ回路7とプリセット回路8とがマグニチュードコンパレータ9に接続されており、このマグニチュードコンパレータ9が信号出力端子10に接続されている。なお、前記プリセット回路8には、ATIPウォブル信号の一周期に相当する基準クロックのカウント値としてプリセットデータが設定されている。

【0006】このような構成において、このFM復調回路1は、信号入力端子2にATIPウォブル信号がシリアルにアナログ入力されると、これをFM復調したFM復調データを信号出力端子10から出力する。

【0007】まず、図11(a)に示すように、信号入力端子2にATIPウォブル信号が入力されると、図11(b)に示すように、このATIPウォブル信号を波形整形回路3がパルス信号に変換する。図11(c)に示すように、このパルス信号の立ち上がりに従ったエッジパルスをクリア出力回路4がクリアパルスとして出力するので、クロックカウンタ6がクリアパルスに従って基準クロックをカウントし、図11(d)に示すように、このカウント値をラッチ回路7がパルス信号に従ってATIPウォブル信号の一周期毎にラッチする。すると、マグニチュードコンパレータ9は、ラッチされたカウント値とプリセット回路8に設定されたプリセットデータとを比較し、図11(e)に示すように、カウント値がプリセットデータを超過すると一周期がハイとなるFM復調データを信号出力端子10に出力する。

【0008】このようにFM復調回路1が出力するFM

復調データは、ATIPウォブル信号をFM復調したものである。ATIPウォブル信号の終了位置を特定してサブコードの開始位置に同期させることに利用できる。

【0009】

【発明が解決しようとする課題】上述したFM復調回路1は、シリアルにアナログ入力されるATIPウォブル信号をFM復調して出力することができる。

【0010】しかし、上述したFM復調回路1では、入力されるATIPウォブル信号を一周期毎にFM復調しているため、図11に示すように、このFM復調がATIP同期信号の一波長の時間(45.4μs)まで遅滞することがある。

【0011】また、ハイブリッドCD-Rの一般的な仕様においては、ATIPウォブル信号とサブコードとの同期ズレの許容範囲が±2EFMとされているが、この許容範囲を満足しているか満足していないかを判断するためには、ATIPウォブル信号とサブコードとの同期ズレを検出する必要がある。しかし、上述したFM復調回路1は、ATIPウォブル信号をFM復調するだけのものであり、ATIPウォブル信号とサブコードとの同期ズレを検出することはできない。

【0012】

【課題を解決するための手段】請求項1記載の発明は、ATIPウォブル信号をパルス信号に変換する波形整形手段を設け、パルス信号の立ち上がりとしち下がりとしに従ってエッジパルスを出力するエッジ出力手段を設け、基準クロックを出力するクロック出力手段を設け、基準クロックをエッジパルスに従ってカウントするクロックカウント手段を設け、カウント値を予め設定されたプリセットデータと比較するデータ比較手段を設け、この比較結果に対応してFM復調データを生成するデータ復調手段を設けた。

【0013】請求項2記載の発明は、ATIPウォブル信号をパルス信号に変換する波形整形手段を設け、パルス信号の立ち上がりとしち下がりとしに従って第一のエッジパルスを出力する第一のエッジ出力手段を設け、パルス信号の立ち下がりとしに従って第二のエッジパルスを出力する第二のエッジ出力手段を設け、基準クロックを出力するクロック出力手段を設け、基準クロックを第一のエッジパルスに従ってカウントする第一のクロックカウント手段を設け、基準クロックを第二のエッジパルスに従ってカウントする第二のクロックカウント手段を設け、第一のカウント値を予め設定されたプリセットデータと比較する第一のデータ比較手段を設け、第二のカウント値を予め設定されたプリセットデータと比較する第二のデータ比較手段を設け、第一の比較結果に対応して第一のFM復調データを生成する第一のデータ復調手段を設け、第二の比較結果に対応して第二のFM復調データを生成する第二のデータ復調手段を設け、第一のFM復調データと第二の

FM復調データとを比較して位相が先行した一方を選択するデータ選択手段を設けた。

【0014】請求項3記載の発明は、シリアルに入力されるEFM信号をパラレルなEFMデータに変換するEFM変換手段を設け、このEFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段を設け、このEFM同期から3チャンネルビット後に前記EFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段を設け、ATIPウォブル信号をFM復調データに変換するATIP復調手段を設け、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段を設け、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段を設け、このATIP同期信号とサブコード同期信号との同期ズレを検出する同期ズレ検出手段を設けた。

【0015】請求項4記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、このサブコード同期信号を遅延させるサブコード遅延手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号と遅延されたサブコード同期信号との同期ズレを検出する同期ズレ検出手段を設けた。

【0016】請求項5記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号を遅延させるATIP遅延手段を設け、サブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段を設けた。

【0017】請求項6記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、このサブコード同期信号を遅延させるサブコード遅延手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号を遅延させるATIP遅延手段を設け、遅延されたサブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段を設けた。

【0018】請求項7記載の発明は、請求項4又は6記載の発明において、サブコード同期出力手段に、シリアルに入力されるEFM信号をパラレルなEFMデータに変換するEFM変換手段を設け、このEFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段を設け、このEFM同期から3チャンネルビット後に前記EF

M変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段を設けた。

【0019】請求項8記載の発明は、請求項5又は6記載の発明において、ATIP同期出力手段に、ATIPウォブル信号をFM復調データに変換するATIP復調手段を設け、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段を設け、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段を設けた。

【0020】

【作用】請求項1記載の発明では、ATIPウォブル信号を波形整形手段がパルス信号に変換すると、このパルス信号の立ち上がりとしち下がりとは従ってエッジ出力手段がエッジパルスを出力する。基準クロックをクロック出力手段が出力するので、クロックカウン手段が基準クロックをエッジパルスに従ってカウントする。このカウント値をデータ比較手段が予め設定されたプリセットデータと比較し、この比較結果に対応してデータ復調手段がFM復調データを生成するので、このFM復調データはATIPウォブル信号を半周期毎にFM復調したものとなる。

【0021】請求項2記載の発明では、ATIPウォブル信号を波形整形手段がパルス信号に変換すると、第一のエッジ出力手段がパルス信号の立ち上がりに従って第一のエッジパルスを出力し、第二のエッジ出力手段がパルス信号の立ち下がりに従って第二のエッジパルスを出力する。基準クロックをクロック出力手段が出力するので、第一のクロックカウン手段が基準クロックを第一のエッジパルスに従ってカウントし、第二のクロックカウン手段が基準クロックを第二のエッジパルスに従ってカウントする。第一のデータ比較手段が第一のカウント値を予め設定されたプリセットデータと比較、第二のデータ比較手段が第二のカウント値を予め設定されたプリセットデータと比較するので、第一のデータ復調手段が第一の比較結果に対応して第一のFM復調データを生成し、第二のデータ復調手段が第二の比較結果に対応して第二のFM復調データを生成する。データ選択手段が第一のFM復調データと第二のFM復調データとを比較して位相が先行した一方を選択するので、この選択されたFM復調データは、ATIPウォブル信号を半周期毎にFM復調したものとなる。

【0022】請求項3記載の発明では、シリアルに入力されるEFM信号をEFM変換手段がパラレルなEFMデータに変換すると、このEFMデータと予め設定されたEFMパターンとをEFM同期検出手段が1チャンネルビット毎に比較してEFM同期を検出し、このEFM同期から3チャンネルビット後にEFM変換手段が出力する

10

30

40

50

EFMデータと予め設定されたサブコードパターンとをサブコード同期検出手段が1チャンネルビット毎に比較してサブコード同期信号を出力する。ATIPウォブル信号をATIP復調手段がFM復調データに変換すると、このシリアルなFM復調データをATIP変換手段がパラレルなATIPデータに変換する。このATIPデータと予め設定されたATIPパターンとをATIP同期検出手段が1チャンネルビット毎に比較してATIP同期信号を出力すると、このATIP同期信号とサブコード同期信号との同期ズレを同期ズレ検出手段が検出するので、ATIPウォブル信号とサブコードとの同期ズレが検出される。

【0023】請求項4記載の発明では、EFM信号に基づいてサブコード同期出力手段がサブコード同期信号を出力すると、このサブコード同期信号をサブコード遅延手段が遅延させる。ATIPウォブル信号に基づいてATIP同期出力手段がATIP同期信号を出力すると、このATIP同期信号と遅延されたサブコード同期信号との同期ズレを同期ズレ検出手段が検出するので、この同期ズレを検出するとき、サブコード同期信号をATIP同期出力手段の遅延に対応して遅延させる。

【0024】請求項5記載の発明では、ATIPウォブル信号に基づいてATIP同期出力手段がATIP同期信号を出力すると、このATIP同期信号をATIP遅延手段が遅延させる。EFM信号に基づいてサブコード同期出力手段がサブコード同期信号を出力すると、このサブコード同期信号と遅延されたATIP同期信号との同期ズレを同期ズレ検出手段が検出するので、この同期ズレを検出するとき、ATIP同期信号をサブコード同期出力手段の遅延に対応して遅延させる。

【0025】請求項6記載の発明では、EFM信号に基づいてサブコード同期出力手段がサブコード同期信号を出力すると、このサブコード同期信号をサブコード遅延手段が遅延させる。ATIPウォブル信号に基づいてATIP同期出力手段がATIP同期信号を出力すると、このATIP同期信号をATIP遅延手段が遅延させる。遅延されたサブコード同期信号と遅延されたATIP同期信号との同期ズレを同期ズレ検出手段が検出するので、この同期ズレを検出するとき、サブコード同期信号をATIP同期出力手段の遅延に対応して遅延させると共に、ATIP同期信号をサブコード同期出力手段の遅延に対応して遅延させる。

【0026】請求項7記載の発明では、シリアルに入力されるEFM信号をEFM変換手段がパラレルなEFMデータに変換すると、このEFMデータと予め設定されたEFMパターンとをEFM同期検出手段が1チャンネルビット毎に比較してEFM同期を検出する。このEFM同期から3チャンネルビット後にEFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとをサブコード同期検出手段が1チャンネルビット毎に比較

してサブコード同期信号を出力するので、サブコード同期出力手段がEFM信号に基づいてサブコード同期信号を出力する。

【0027】請求項8記載の発明では、ATIPウォブル信号をATIP復調手段がFM復調データに変換すると、このシリアルなFM復調データをATIP変換手段がパラレルなATIPデータに変換する。このATIPデータと予め設定されたATIPパターンとをATIP同期検出手段が1チャンネルビット毎に比較してATIP同期信号を出力するので、ATIP同期出力手段がATIPウォブル信号に基づいてATIP同期信号を出力する。

【0028】

【実施例】本発明の第一の実施例を図1及び図2に基づいて以下に説明する。なお、本実施例に示すデータ処理装置であるFM復調装置11に関し、一従来例として前述したFM復調回路1と同一の部分は、同一の名称及び符号を利用して詳細な説明は省略する。

【0029】まず、図2に示すように、アナログのATIPウォブル信号がシリアルに入力される信号入力端子2に、波形整形手段である波形整形回路3が接続されており、この波形整形回路3に、エッジ出力手段であるエッジ出力回路12を介してクリア出力手段であるクリア出力回路4が接続されている。

【0030】前記エッジ出力回路12は、遅延回路13とXOR(exclusive OR)ゲート14とからなり、入力ラインを二つに分岐させて一方に遅延回路13を介在させてから両方をXORゲート14に入力している。このため、前記エッジ出力回路12は、パルス信号の立ち上がり立ち下がりと共に従ってエッジパルスを出力するので、D-FF(Flip Flop)からなる前記クリア出力回路4は、エッジパルスに従ってクリアパルスを出力する。

【0031】このクリア出力回路4と、クロック出力手段であるクロック出力回路5とが、クロックカウンタ手段であるクロックカウンタ6に接続されており、このクロックカウンタ6にラッチ回路7が接続されている。このラッチ回路7とプリセット回路8とが、データ比較手段でありデータ復調手段でもあるマグニチュードコンパレータ9に接続されており、このマグニチュードコンパレータ9に、信号出力端子10が接続されている。

【0032】なお、前記エッジ出力回路12の遅延回路13は、パルス信号をATIPウォブル信号の半周期より短い所定タイミングだけ遅延させるよう設定されており、前記プリセット回路8には、プリセットデータがATIPウォブル信号の半周期に相当する基準クロックのカウント値として設定されている。

【0033】このような構成において、本実施例のFM復調装置11は、信号入力端子2にATIPウォブル信号がシリアルにアナログ入力されると、これをFM復調したFM復調データを信号出力端子10から出力する。

なお、以下の説明において、図1(a)～(g)に示す各種信号は、図2の位置“a～g”の信号である。

【0034】まず、図1(a)に示すように、信号入力端子2にATIPウォブル信号が入力されると、図1(b)に示すように、このATIPウォブル信号を波形整形回路3がパルス信号に変換する。このパルス信号は、エッジ出力回路12において二つに分岐され、図1(c)に示すように、その一方は遅延回路13により所定タイミングだけ遅延される。これら二つのパルス信号の排他的論理和がXORゲート14から出力されるので、図1(d)に示すように、エッジ出力回路12はパルス信号の立ち上がり立ち下がりともに従って立ち上がるエッジパルスを出力することになる。

【0035】このエッジパルスと基準クロックとが入力されるクリア出力回路4も、図1(e)に示すように、反転したエッジパルスに相当するクリアパルスを出力するので、図1(f)に示すように、このクリアパルスに従ってクロックカウンタ6が基準クロックをカウントすると、このカウント値であるカウントデータをラッチ回路7がエッジパルスに従ってATIPウォブル信号の半周期毎にラッチする。そして、マグニチュードコンパレータ9が、ラッチ回路7にラッチされたカウントデータとプリセット回路8に設定されたプリセットデータとを比較し、図1(g)に示すように、比較結果に対応してカウントデータがプリセットデータを超過すると一周期がハイとなるFM復調データ(0V/5V)を信号出力端子10に出力する。

【0036】このFM復調データは、ATIPウォブル信号をFM復調したものであるので、ATIPウォブル信号の終了位置を特定してサブコードの開始位置に同期させることに利用できる。そして、本実施例のFM復調装置11では、入力されるATIPウォブル信号を半周期毎にFM復調しているので、このFM復調の遅滞は最大でも半周期の時間(22.7μs)であり、従来の半分の遅滞時間でATIPウォブル信号をFM復調することができるので、ATIPウォブル信号とサブコードとの同期の精度を改善することができる。

【0037】つぎに、本発明の第二の実施例を図3及び図4に基づいて以下に説明する。なお、本実施例に示すデータ処理装置であるFM復調装置15に関し、第一の実施例として上述したFM復調装置11と同一の部分は、同一の名称及び符号を利用して詳細な説明は省略する。

【0038】まず、本実施例のFM復調装置15では、図3に示すように、波形整形回路3に接続された信号ラインが二つに分岐されており、その一方にインバータ16が接続されている。そして、このように二つに分岐された信号ラインに、クリア出力回路4<sub>1</sub>、4<sub>2</sub>とクロックカウンタ6<sub>1</sub>、6<sub>2</sub>とラッチ回路7<sub>1</sub>、7<sub>2</sub>とマグニチュードコンパレータ9<sub>1</sub>、9<sub>2</sub>とが個々に順次接続さ

れており、この二個のマグニチュードコンパレータ9<sub>1</sub>、9<sub>2</sub>が一個のデータ選択手段であるデータ選択回路17を介して信号出力端子10に接続されている。

【0039】また、二個のクリア出力回路4<sub>1</sub>、4<sub>2</sub>と二個のクロックカウンタ6<sub>1</sub>、6<sub>2</sub>とは、一個のクロック出力回路5が共通に接続されており、二個のマグニチュードコンパレータ9<sub>1</sub>、9<sub>2</sub>には、一個のプリセット回路8が共通に接続されている。

【0040】なお、前記データ選択回路17は、オアゲート18とナンドゲート19とXORゲート20とJK-FF21とからなり、二つの信号ラインは前記オアゲート18と前記ナンドゲート19とに各々接続されている。これらのゲート18、19は前記XORゲート20に接続されており、このXORゲート20が前記JK-FF21に接続されている。

【0041】このような構成において、本実施例のFM復調装置15も、信号入力端子2にATIPウォブル信号がシリアルにアナログ入力されると、これをFM復調したFM復調データを信号出力端子10から出力する。

なお、以下の説明において、図4(a)～(g)に示す各種信号は、図3の位置“a～g”の信号である。

【0042】まず、図4(a)に示すように、信号入力端子2にATIPウォブル信号が入力されると、図4(b)に示すように、このATIPウォブル信号を波形整形回路3がパルス信号に変換するが、図4(b')に示すように、このパルス信号は二つに分岐されて一方がインバータ16により反転される。

【0043】反転されないパルス信号と基準クロックとが入力されるクリア出力回路4<sub>1</sub>は、図4(c)に示すように、第一のエッジ出力手段としてパルス信号の立ち上がりに従って第一のエッジパルスとなる第一のクリアパルスを出力するので、図4(d)に示すように、このクリアパルスに従ってクロックカウンタ6<sub>1</sub>が第一のクロックカウンタ手段として基準クロックをカウントすると、これをラッチ回路7<sub>1</sub>が第一のカウント値である第一のカウントデータとして反転されないパルス信号に従ってATIPウォブル信号の一周期毎にラッチする。そして、マグニチュードコンパレータ9<sub>1</sub>が、第一のデータ比較手段としてラッチ回路7<sub>1</sub>にラッチされた第一のカウントデータとプリセット回路8に設定されたプリセットデータとを比較し、図4(e)に示すように、第一のデータ復調手段として第一の比較結果に対応した第一のFM復調データをデータ選択回路17に出力する。

【0044】一方、反転されたパルス信号と基準クロックとが入力されるクリア出力回路4<sub>2</sub>は、図4(c')に示すように、第二のエッジ出力手段としてパルス信号の立ち下がりに従って第二のエッジパルスとなる第二のクリアパルスを出力するので、図4(d')に示すように、このクリアパルスに従ってクロックカウンタ6<sub>2</sub>が第二のクロックカウンタ手段として基準クロックをカウ



ントすると、これをラッチ回路7<sub>2</sub>が第二のカウンタ値である第二のカウンタデータとして反転されないパルス信号に従ってATIPウォブル信号の一周期毎にラッチする。そして、マグニチュードコンパレータ9<sub>2</sub>が、第二のデータ比較手段としてラッチ回路7<sub>2</sub>にラッチされた第二のカウンタデータとプリセット回路8に設定されたプリセットデータとを比較し、図4(e')に示すように、第二のデータ復調手段として第二の比較結果に対応した第二のFM復調データをデータ選択回路17に出力する。

【0045】このため、一個のデータ選択回路17には、第一のFM復調データと第二のFM復調データとが入力されるが、これらはパルス信号の立ち上がり立ち下がりと共に各々対応しているため位相がATIPウォブル信号の半周期だけ変位している。そして、データ選択回路17は、ATIPウォブル信号の半周期分だけ位相が変位した第一のFM復調データと第二のFM復調データとが入力されると、図4(e'')に示すように、これらを比較して位相が先行した一方を選択的に出力する。

【0046】このようにして出力されるFM復調データは、ATIPウォブル信号をFM復調したものであるため、ATIPウォブル信号の終了位置を特定してサブコードの開始位置に同期させることに利用できる。そして、本実施例のFM復調装置15では、ATIPウォブル信号を立ち上がり立ち下がりと共に各々対応して一周期毎にFM復調し、これらのFM復調データのうち位相が先行した一方を選択するので、FM復調の遅滞は最大でも半周期の時間(22.7μs)であり、従来の半分の遅滞時間でATIPウォブル信号をFM復調することができるので、ATIPウォブル信号とサブコードとの同期の精度を改善することができる。しかも、上述のようにFM復調はATIPウォブル信号の一周期毎に実行しているので、ATIPウォブル信号にアシンメトリが存在してもエラーが発生しない。

【0047】つぎに、本発明の第三の実施例を図5及び図6に基づいて以下に説明する。なお、本実施例のデータ処理装置である同期ズレ検出装置22は、第一の実施例として前述したFM復調装置11をATIP復調手段として有しているため、このFM復調装置11と同一の部分とは同一の名称と符号とを利用して詳細な説明は省略する。

【0048】まず、本実施例の同期ズレ検出装置22は、サブコード同期検出装置23とATIP同期検出装置24とを有しており、これらの検出装置23、24が一個の同期ズレ検出手段である同期ズレ測定回路25に接続されている。

【0049】前記サブコード同期検出装置23は、EFM信号がシリアルに入力される信号入力端子26と、EFM信号のチャンネルビットクロック(4.3218 MHz)がシリアルに入力されるクロック入力端子27とを有してお

り、これらの端子26、27にEFM変換手段であるシフトレジスタ28が接続されている。このシフトレジスタ28と前記クロック入力端子27とは、相互にも接続されたEFM同期検出手段であるEFM同期検出回路29とサブコード同期検出手段であるサブコード同期検出回路30とが接続されており、このサブコード同期検出回路30が前記同期ズレ測定回路25に接続されている。

【0050】前記ATIP同期検出装置24は、前記クロック入力端子27とATIPウォブル信号が入力される信号入力端子2とを有しており、この信号入力端子2にはFM復調装置11が接続されている。前記クロック入力端子27には、“1/98”に設定された分周器31が接続されており、この分周器31に接続された“1/2”の分周器32が前記FM復調装置11に接続されている。このFM復調装置11には、ATIP変換手段であるシフトレジスタ33が接続されており、このシフトレジスタ33には、前記分周器31に接続された“1/7”の分周器34が接続されている。この分周器34と前記シフトレジスタ33とは、ATIP同期検出手段であるATIP同期検出回路35に接続されており、このATIP同期検出回路35が前記同期ズレ測定回路25に接続されている。

【0051】なお、前記EFM同期検出回路29には、EFM信号の同期検出に最適なEFMパターンが“1111111111000000000011”として予め設定され、前記サブコード同期検出回路30には、サブコードの同期検出に最適なサブコードパターンが“00111111111110”として予め設定され、前記ATIP同期検出回路35には、ATIPデータの同期検出に最適なATIPパターンが“11101000”として予め設定されている。

【0052】このような構成において、本実施例の同期ズレ検出装置22は、サブコード同期検出装置23によりEFM信号のサブコードの同期を検出し、ATIP同期検出装置24によりATIPウォブル信号の同期を検出し、これらの同期ズレを同期ズレ測定回路25により検出する。なお、以下の説明において、図6(a)～(g)に示す各種信号は、図5の位置“a～g”の信号である。

【0053】まず、サブコード同期検出装置23においては、図6(a)に示すように、EFM信号のチャンネルビットクロックがクロック入力端子27からシフトレジスタ28に入力され、図6(b)に示すように、これと同時にEFM信号が信号入力端子26からシフトレジスタ28に入力される。このシフトレジスタ28は、チャンネルビットクロックに従ってEFM信号を取り込むことにより、シリアルに入力されるEFM信号をパラレルなEFMデータに変換する。

【0054】このEFMデータとチャンネルビットクロックとが入力されるEFM同期検出回路29は、EFMデ

ータと“1111111111000000000011”なるEFMパターンとを、チャンネルビットクロックに従って1チャンネルビット毎に比較し、この一致によりEFM同期を検出してEFM同期信号を出力する。つぎに、このEFM同期信号とEFMデータとチャンネルビットクロックとが入力されるサブコード同期検出回路30は、EFM同期から3チャンネルビット後に入力される14チャンネルビットのEFMデータと、“0011111111110”なるサブコードパターンとを、チャンネルビットクロックに従って1チャンネルビット毎に比較し、図6(c)に示すように、この一致によりサブコード同期を検出してサブコード同期信号を同期ズレ測定回路25に出力する。

【0055】上述のように、サブコード同期検出装置23は、EFM信号をFM復調することなくパターンマッチングによりサブコード同期を検出するので、このサブコードの同期を読取に必要な14チャンネルビット(約3.2μs)後には検出して同期ズレ測定回路25に出力することができる。

【0056】一方、ATIP同期検出装置24においては、図6(g)に示すように、クロック入力端子27から入力されたチャンネルビットクロック(4.3218MHz)は、分周器31、32により“1/98”と“1/2”とに順次分周されてFM復調装置11に入力され、分周器31、34により“1/98”と“1/7”とに順次分周されてシフトレジスタ33とATIP同期検出回路35とに同時に入力される。

【0057】ATIPウォブル信号と分周されたチャンネルビットクロック(6300Hz)とが入力されるFM復調装置11は、図6(f)に示すように、分周されたチャンネルビットクロックに従ってATIPウォブル信号をFM復調データに変換する。このFM復調データと分周されたチャンネルビットクロックとが入力されるシフトレジスタ33は、FM復調データをチャンネルビットクロックに従って取り込むことにより、シリアルなFM復調データをパラレルなATIPデータに変換する。このATIPデータと分周されたチャンネルビットクロックとが入力されるATIP同期検出回路24は、ATIPデータと“11101000”なるATIPパターンとを、分周されたチャンネルビットクロックに従って1チャンネルビット毎に比較し、図6(e)に示すように、この一致によりATIP同期を検出してATIP同期信号を同期ズレ測定回路25に出力する。

【0058】上述のように、ATIP同期検出装置24は、ATIP信号を復調してからパターンマッチングによりATIP同期を検出するので、この同期検出をFM復調に必要なATIPウォブル信号の半周期(約22.7μs)後には検出して同期ズレ測定回路25に出力することができる。

【0059】つまり、この同期ズレ測定回路25には、サブコード同期信号がEFM信号の入力から14チャンネル

ビット(約3.2μs)後には入力され、ATIP同期信号がATIPウォブル信号の入力から半周期(約22.7μs)後には入力されるので、図6(e)に示すように、ATIP同期信号とサブコード同期信号との同期ズレを“22.7-3.2=19.5(μs)”後には検出することができる。これはCD-Rの規格の許容範囲“±2EFM(約272μs)”より十分に小さいため、本実施例の同期ズレ検出装置22は、規格の許容範囲より充分に小さい誤差でサブコードとATIPウォブル信号との同期ズレを検出することができる。

【0060】なお、本実施例の同期ズレ検出装置22は、ATIPウォブル信号をFM復調するATIP復調手段を第一の実施例のFM復調装置11とすることにより、簡単な構造でATIPウォブル信号を半周期毎にFM復調することを例示したが、本発明は上記実施例に限定されるものではなく、このようなATIP復調手段を第二の実施例のFM復調装置15とすることや、他のFM復調装置(図示せず)とすることも可能である。

【0061】また、本実施例の同期ズレ検出装置22の第一の変形例として、図7に示すように、サブコード同期出力手段となるサブコード同期検出装置23にサブコード遅延手段である遅延回路36を接続し、この遅延回路36とATIP同期出力手段となるATIP同期検出装置24とを同期ズレ測定回路25に接続した同期ズレ検出装置37なども実現できる。

【0062】このような構成において、遅延回路36の遅延時間をATIP同期検出装置24の遅延時間に対応して設定しておけば、同期ズレ測定回路25にはサブコード同期信号とATIP同期信号とが略同時に入力されるので、同期ズレを極めて小さな誤差で検出することができる。

【0063】より具体的には、前述のようにATIP同期検出装置24がATIPウォブル信号の入力から半周期(約22.7μs)後にATIP同期信号を出力するならば、遅延回路36の遅延時間も“22.7μs”に設定しておく。すると、この遅延回路36によりATIP同期検出装置24の遅延時間が相殺されるので、同期ズレ測定回路25は、ATIP同期信号とサブコード同期信号との同期ズレを、サブコード同期検出装置23の遅延時間である“3.2(μs)”後には検出することができる。

【0064】さらに、本実施例の同期ズレ検出装置22の第二の変形例として、図8に示すように、ATIP同期検出装置24にATIP遅延手段である遅延回路38を接続し、この遅延回路38とサブコード同期検出装置23とを同期ズレ測定回路25に接続した同期ズレ検出装置39なども実現できる。

【0065】このような構成において、遅延回路38の遅延時間をサブコード同期検出装置23の遅延時間に対応して設定しておけば、同期ズレ測定回路25にはサブコード同期信号とATIP同期信号とが略同時に入力さ

れるので、同期ズレを極めて小さな誤差で検出することができる。

【0066】より具体的には、前述のようにサブコード同期検出装置23がEFM信号の入力から所定の遅延時間(約 $3.2\mu s$ )後にサブコード同期信号を出力するならば、遅延回路38の遅延時間も“ $3.2\mu s$ ”に設定しておく。すると、この遅延回路38によりサブコード同期検出装置23の遅延時間が相殺されるので、同期ズレ測定回路25は、ATIP同期信号とサブコード同期信号との同期ズレを、ATIP同期検出装置24の遅延時間

である“ $22.7(\mu s)$ ”後には検出することができる。  
【0067】さらに、本実施例の同期ズレ検出装置22の第三の変形例として、図9に示すように、サブコード同期検出装置23に遅延回路36を接続すると共に、ATIP同期検出装置24に遅延回路38を接続し、これらの遅延回路36、38を同期ズレ測定回路25に接続した同期ズレ検出装置40なども実現できる。

【0068】このような構成において、遅延回路36の遅延時間をATIP同期検出装置24の遅延時間に対応して設定すると共に、遅延回路38の遅延時間をサブコード同期検出装置23の遅延時間に対応して設定しておけば、同期ズレ測定回路25にはサブコード同期信号とATIP同期信号とが同時に入力されるので、同期ズレを極めて小さな誤差で検出することができる。

【0069】より具体的には、前述のようにATIP同期検出装置24がATIPウォブル信号の入力から半周期(約 $22.7\mu s$ )後にATIP同期信号を出力するならば、遅延回路36の遅延時間も“ $22.7\mu s$ ”に設定し、サブコード同期検出装置23がEFM信号の入力から所定の遅延時間(約 $3.2\mu s$ )後にサブコード同期信号を出力するならば、遅延回路38の遅延時間も“ $3.2\mu s$ ”に設定しておく。すると、これらの遅延回路36、38によりATIP同期検出装置24とサブコード同期検出装置23との遅延時間が各々相殺されるので、同期ズレ測定回路25は、ATIP同期信号とサブコード同期信号との同期ズレを同時に検出することができる。

【0070】

【発明の効果】請求項1記載の発明は、ATIPウォブル信号をパルス信号に変換する波形整形手段を設け、パルス信号の立ち上がり立ち下がりからエッジパルス信号を出力するエッジ出力手段を設け、基準クロックを出力するクロック出力手段を設け、基準クロックをエッジパルスに従ってカウントするクロックカウント手段を設け、カウント値を予め設定されたプリセットデータと比較するデータ比較手段を設け、この比較結果に対応してFM復調データを生成するデータ復調手段を設けたことにより、ATIPウォブル信号を半周期毎にFM復調するので、このFM復調の遅滞をATIPウォブル信号の半周期まで短縮することができ、ATIPウォブル信号とサブコードとの同期の精度を改善することができ

る。

【0071】請求項2記載の発明は、ATIPウォブル信号をパルス信号に変換する波形整形手段を設け、パルス信号の立ち上がりから第一のエッジパルスを出力する第一のエッジ出力手段を設け、パルス信号の立ち下がりから第二のエッジパルスを出力する第二のエッジ出力手段を設け、基準クロックを出力するクロック出力手段を設け、基準クロックを第一のエッジパルスに従ってカウントする第一のクロックカウント手段を設け、基準クロックを第二のエッジパルスに従ってカウントする第二のクロックカウント手段を設け、第一のカウント値を予め設定されたプリセットデータと比較する第一のデータ比較手段を設け、第二のカウント値を予め設定されたプリセットデータと比較する第二のデータ比較手段を設け、第一の比較結果に対応して第一のFM復調データを生成する第一のデータ復調手段を設け、第二の比較結果に対応して第二のFM復調データを生成する第二のデータ復調手段を設け、第一のFM復調データと第二のFM復調データとを比較して位相が先行した一方を選択するデータ選択手段を設けたことにより、ATIPウォブル信号を立ち上がり立ち下がりから各々対応して一周毎にFM復調し、これらのFM復調データのうち位相が先行した一方を選択するので、このFM復調の遅滞をATIPウォブル信号の半周期まで短縮することができ、ATIPウォブル信号とサブコードとの同期の精度を改善することができ、しかも、FM復調はATIPウォブル信号の一周毎に実行しているので、ATIPウォブル信号にアシンメトリが存在してもエラーが発生しない。

【0072】請求項3記載の発明は、シリアルに入力されるEFM信号をパラレルなEFMデータに変換するEFM変換手段を設け、このEFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段を設け、このEFM同期から3チャンネルビット後にEFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段を設けたことにより、EFM信号をFM復調することなくパターンマッチングによりサブコード同期を検出するので、サブコード同期信号を迅速に出力することができ、ATIPウォブル信号をFM復調データに変換するATIP復調手段を設け、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段を設け、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段を設けたことにより、ATIP信号を復調してからパターンマッチングによりATIP同期を検出するので、ATIP同期信号を迅速に出力することができ、ATIP同期信号とサブコード同期信号

との同期ズレを検出する同期ズレ検出手段を設けたことにより、同期ズレを検出するATIP同期信号とサブコード同期信号との遅延が共に微小なので、ATIPウォブル信号とEFM信号のサブコードとの同期ズレを高精度に検出することができる。

【0073】請求項4記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、このサブコード同期信号を遅延させるサブコード遅延手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号と遅延されたサブコード同期信号との同期ズレを検出する同期ズレ検出手段を設けたことにより、サブコード同期信号の出力をATIP同期出力手段の遅延時間に対応して遅延させることができるので、サブコード同期信号との同期ズレを検出するATIP同期信号の遅延を相殺することができる、ATIPウォブル信号とEFM信号のサブコードとの同期ズレを高精度に検出することができる。

【0074】請求項5記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号を遅延させるATIP遅延手段を設け、サブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段を設けたことにより、ATIP同期信号の出力をサブコード同期出力手段の遅延時間に対応して遅延させることができるので、ATIP同期信号との同期ズレを検出するサブコード同期信号の遅延を相殺することができる、ATIPウォブル信号とEFM信号のサブコードとの同期ズレを高精度に検出することができる。

【0075】請求項6記載の発明は、EFM信号に基づいてサブコード同期信号を出力するサブコード同期出力手段を設け、このサブコード同期信号を遅延させるサブコード遅延手段を設け、ATIPウォブル信号に基づいてATIP同期信号を出力するATIP同期出力手段を設け、このATIP同期信号を遅延させるATIP遅延手段を設け、遅延されたサブコード同期信号と遅延されたATIP同期信号との同期ズレを検出する同期ズレ検出手段を設けたことにより、サブコード同期信号の出力をATIP同期出力手段の遅延時間に対応して遅延させることができると共に、ATIP同期信号の出力をサブコード同期出力手段の遅延時間に対応して遅延させることができるので、同期ズレを検出するATIP同期信号とサブコード同期信号との遅延を各々相殺することができる、ATIPウォブル信号とEFM信号のサブコードとの同期ズレを高精度に検出することができる。

【0076】請求項7記載の発明は、サブコード同期出力手段に、シリアルに入力されるEFM信号をパラレルなEFMデータに変換するEFM変換手段を設け、この

EFMデータと予め設定されたEFMパターンとを1チャンネルビット毎に比較してEFM同期を検出するEFM同期検出手段を設け、このEFM同期から3チャンネルビット後にEFM変換手段が出力するEFMデータと予め設定されたサブコードパターンとを1チャンネルビット毎に比較してサブコード同期信号を出力するサブコード同期検出手段を設けたことにより、EFM信号をFM復調することなくパターンマッチングによりサブコード同期を検出するので、サブコード同期信号を迅速に出力することができる。

【0077】請求項8記載の発明は、ATIP同期出力手段に、ATIPウォブル信号をFM復調データに変換するATIP復調手段を設け、このシリアルなFM復調データをパラレルなATIPデータに変換するATIP変換手段を設け、このATIPデータと予め設定されたATIPパターンとを1チャンネルビット毎に比較してATIP同期信号を出力するATIP同期検出手段を設けたことにより、ATIP信号を復調してからパターンマッチングによりATIP同期を検出するので、ATIP同期信号を迅速に出力することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例のデータ処理装置であるFM復調装置がATIPウォブル信号をFM復調データに変換する行程を示すタイムチャートである。

【図2】FM復調装置を示すブロック図である。

【図3】第二の実施例のデータ処理装置であるFM復調装置を示すブロック図である。

【図4】ATIPウォブル信号をFM復調データに変換する行程を示すタイムチャートである。

【図5】第三の実施例のデータ処理装置である同期ズレ検出装置を示すブロック図である。

【図6】ATIPウォブル信号をFM復調データに変換する行程を示すタイムチャートである。

【図7】第一の変形例のデータ処理装置である同期ズレ検出装置を示すブロック図である。

【図8】第二の変形例のデータ処理装置である同期ズレ検出装置を示すブロック図である。

【図9】第三の変形例のデータ処理装置である同期ズレ検出装置を示すブロック図である。

【図10】データ処理装置の一従来例であるFM復調回路を示すブロック図である。

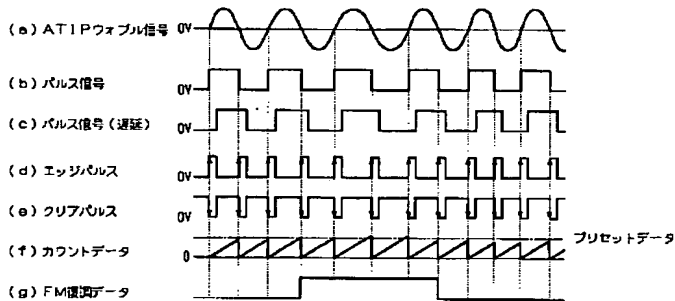
【図11】ATIPウォブル信号をFM復調データに変換する行程を示すタイムチャートである。

#### 【符号の説明】

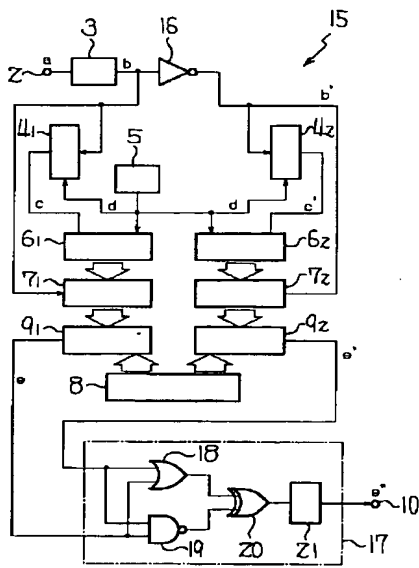
11, 15	ATIP復調手段
11, 15, 22, 37, 39, 40	データ処理装置
3	波形整形手段
4, 12	エッジ出力手段
5	クロック出力手段

段		* 2 9	E F M同期検出
6	クロックカウン	手段	
ト手段		3 0	サブコード同期
9	データ比較手	検出手段	
段、データ復調手段		3 3	A T I P変換手
1 7	データ選択手段	段	
2 3	サブコード同期	3 5	A T I P同期検
出力手段		出手段	
2 4	A T I P同期出	3 6	サブコード遅延
力手段		10 手段	
2 5	同期ズレ検出手	3 8	A T I P遅延手
段		段	
2 8	E F M変換手段*		

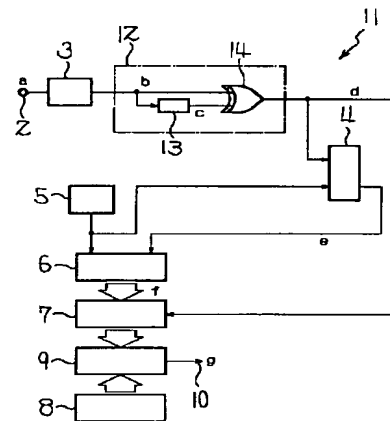
【図 1】



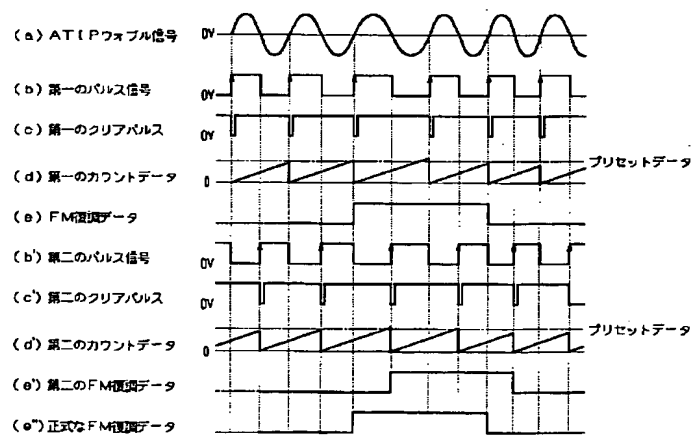
【図 3】



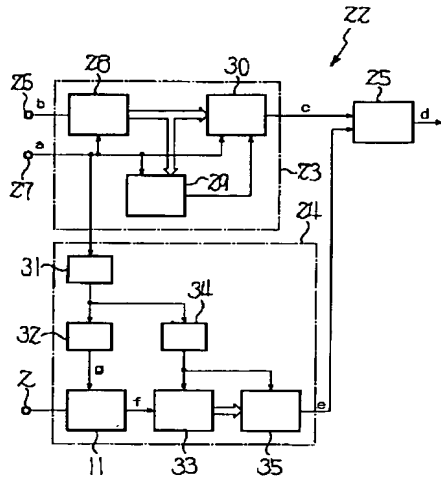
【図 2】



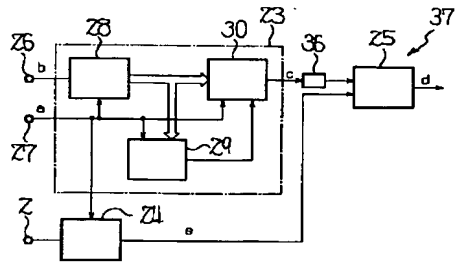
【図 4】



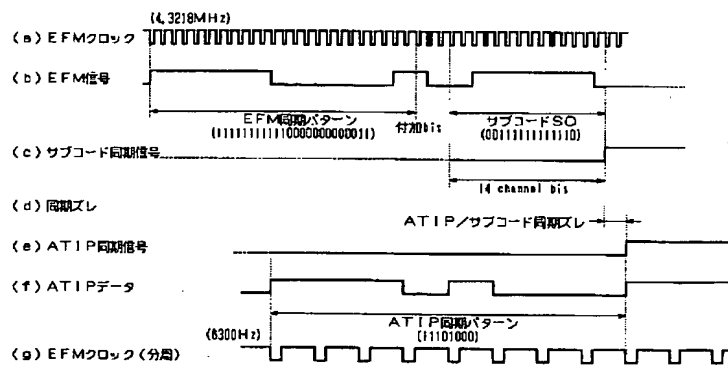
【図 5】



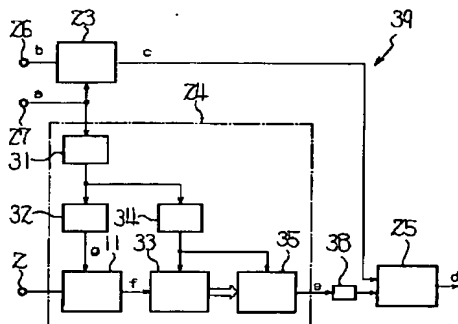
【図 7】



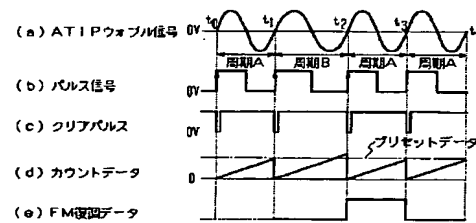
【図 6】



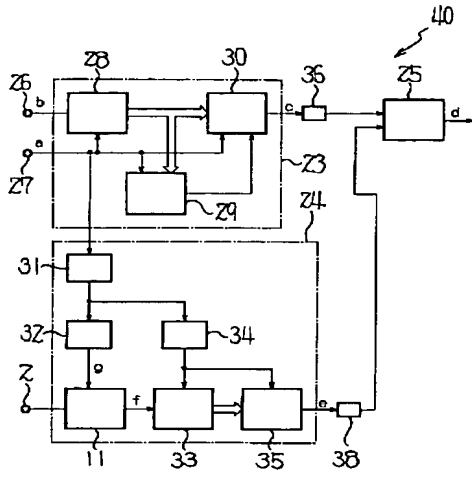
【図 8】



【図 11】



【図9】



【図10】

